

MANUFACTURE OF NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

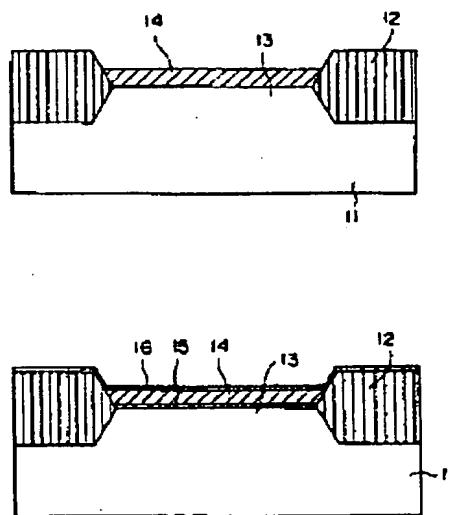
Patent number: JP2246162
Publication date: 1990-10-01
Inventor: HIRANO KANJI
Applicant: MATSUSHITA ELECTRON CORP
Classification:
- international: H01L29/788; H01L29/792
- european:
Application number: JP19890064962 19890318
Priority number(s):

[Report a data error here](#)

Abstract of JP2246162

PURPOSE: To lower a write voltage and to set a sufficient breakdown strength margin in a circuit to which the write voltage is applied by a method wherein, after a gate oxide film between a semiconductor substrate and a floating gate has been formed, a rapid thermal nitridation operation is executed.

CONSTITUTION: An element isolation region 12 and a transistor formation region 13 are formed on a P-type semiconductor substrate 1 by an ordinary LOCOS method. Then, a first gate oxide film 14 is grown by about 300Angstrom by an ordinary thermal oxidation method. Then, a rapid thermal nitridation operation is executed in an atmosphere of NH₃ gas. As a result, an interface region between the P-type semiconductor substrate 11 and the gate oxide film 14 as well as the surface of the first gate oxide film are transformed into an oxynitride by an invasion of nitrogen atoms. By this oxynitride, an energy band gap in this part becomes smaller than a band gap in an ordinary thermal oxide film. Accordingly, hot electrons generated near a drain during a write operation can easily enter a floating gate.



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平2-246162

⑬ Int. Cl. 5

H 01 L 29/788
29/792

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月1日

7514-5F H 01 L 29/78 371

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 不揮発性半導体記憶装置の製造方法

⑯ 特願 平1-64962

⑰ 出願 平1(1989)3月18日

⑱ 発明者 平野幹二 大阪府門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出願人 松下電子工業株式会社 大阪府門真市大字門真1006番地

⑳ 代理人 弁理士 星野恒司

明細書

1. 発明の名称

不揮発性半導体記憶装置の製造方法

2. 特許請求の範囲

一半導体基板上に形成されるフローティングゲート型不揮発性半導体記憶装置において、半導体基板とフローティングゲートとの間のゲート酸化膜形成後、急速熱空化を行うことを特徴とする不揮発性半導体記憶装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、フローティングゲート型不揮発性半導体記憶装置のメモリ部への情報の電気的書き込みに際し、書き込み電圧を低くできる不揮発性半導体記憶装置の製造方法に関する。

(従来の技術)

近年、ユーザ側で半導体チップ内のROMに情報を電気的に自由にプログラムできるという使いやすさのため、不揮発性半導体記憶装置が数多く

利用されるようになってきた。特にフローティングゲート型のものは一度記憶した情報が半永久的に保持できること、また、製造プロセスが通常の半導体製造プロセスとほとんど同じであり製造しやすいこと等のために利用しやすい状況にあり、今後さらに大きな発展が期待されている。

第4図は従来のフローティングゲート型不揮発性半導体記憶装置の単体メモリセル部の断面図を示したものである。第4図において、41はP型半導体基板、42は第1ゲート酸化膜、43は第1ポリシリコンによって形成されたフローティングゲート電極、44は第2ゲート酸化膜、45は第2ポリシリコンによって形成されたコントロールゲート電極、46および47はN型不純物の拡散によって形成されたN型ソース領域およびN型ドレイン領域である。

次に書き込み時における動作を説明する。コントロールゲート電極45に12.5Vのゲート電圧(V_g)を、N型ドレイン領域47に約10Vのドレイン電圧(V_d)を、N型ソース領域46およびP型半導体基

板41に0Vのソース電圧(V_s)および基板電圧(V_{sub})をそれぞれ印加する。この時、ドレイン近傍ではアバランシェブレータダウンが起こり、発生した高エネルギーを有するホットエレクトロンの一部がコントロールゲート電極45に印加された正の高電圧に引き寄せられ、第1ゲート酸化膜によるエネルギーギャップを飛び越えてフローティングゲート電極43に入る。一度フローティングゲート電極43に入ったエレクトロンは、第1、第2ゲート酸化膜42、44によるエネルギー障壁に阻まれ、フローティングゲート電極43内に半永久的に閉じ込められる。この閉じ込められたエレクトロンの作用で半導体表面のゲート部分にホールが引き寄せられエレクトロンが基板内部へ押し出されるためしきい値電圧が変化する。このしきい値電圧の変化(書き込み前のしきい値電圧との差)を利用して不揮発性の記憶を行っている。

(発明が解決しようとする課題)

しかしながら、上記従来の構成ではしきい値電圧の変化を十分確保するために、書き込み時にコ

ントロールゲート電極45に12.5Vという高電圧を印加しなければならないという問題があった。12.5Vという高電圧を安定して供給できる回路が必要であり、また、通常耐圧プロセスを用いた場合は標準トランジスタの耐圧が14V程度であり、量産時の耐圧バラツキの実力を考慮すると12.5Vは耐圧実力とのマージンがほとんどなく、回路途中でのリーク等が発生しやすい状況にあり、歩留りを低下させる主要な原因の1つであり問題点であった。

本発明は上記従来の問題点を解決するものであり、書き込み時のゲート電圧(V_g)を低下させることができ、その結果高電圧印加回路の耐圧マージンを十分とし、歩留り向上を図ることのできるフローティングゲート型不揮発性半導体記憶装置を提供することを目的とするものである。

(課題を解決するための手段)

本発明は上記目的を達成するために、フローティングゲート型不揮発性半導体記憶装置の製造方法は、第1ゲート酸化膜形成後に、急速熱窓化を

行う工程を有するものである。

(作用)

一般に、半導体基板上に熱酸化膜を200Å～300Å形成した後、N₂もしくはN₂H₄ガス雰囲気中で1000℃、30秒程度の急速熱窓化を行うと、半導体基板と酸化膜との界面に窒素原子が蓄積(バイルアップ)し、界面近傍の酸化膜が数10～100Å程度オキシナイトライド化することが知られている。

本発明においてはこの現象を利用し、第1ゲート酸化膜を形成した後、急速熱窓化を行うことにより半導体基板と第1ゲート酸化膜との界面に窒素原子をバイルアップさせ、ゲート酸化膜の基板との界面近傍領域をオキシナイトライド化する。このオキシナイトライド化により、この部分のエネルギー bandwidth ギャップは通常の熱酸化膜の bandwidth ギャップより小さくなる。このため、書き込み時にドレイン近傍で発生するホットエレクトロンがフローティングゲートに入り易くなる。すなわち、第1ゲート酸化膜が通常の熱酸化膜のみで構成されている場合に比べ、ホットエレクト

ロンが入りやすくなる分、逆に同じしきい値電圧の変化量を得るために必要なコントロールゲートに印加するゲート電圧(V_g)を低くすることが可能となる。

(実施例)

第1図は本発明の一実施例におけるフローティングゲート型不揮発性半導体記憶装置の製造工程ごとの断面図である。第1図において、11はP型半導体基板、12はLOCOS膜(素子分離領域)、13はトランジスタ形成領域、14は第1ゲート酸化膜、15は第1オキシナイトライド膜、16は第2オキシナイトライド膜、17は第1ポリシリコン膜(フローティングゲート電極)、18は第2ゲート酸化膜、19は第2ポリシリコン膜(コントロール電極)、20はフォトレジスト、21はN型ソース領域、22はN型ドレイン領域である。

次に製造工程について説明する。第1図(a)に示すように、P型半導体基板11上に通常のLOCOS法により素子分離領域12とトランジスタ形成領域13を形成する。次に第1ゲート酸化膜14を通

常の熱酸化法により約300Å成長させる。

次に第1図(b)に示すように、NH₃ガス雰囲気下で1000°C、約30秒間の急速熱酸化を行なう。この結果、P型半導体基板11と第1ゲート酸化膜14との界面領域と第1ゲート酸化膜表面とが窒素原子の侵入によりオキシナイトライド化される。この2領域を第1オキシナストライド膜15、第2オキシナイトライド膜16とする。

その後、第1図(c)に示すように、フローティングゲートを形成すべく、通常の気相成長(CVD)法により第1ポリシリコン膜17を約3000Å成長させリンドープを行う。続いてO₂/N₂混合ガス雰囲気下で希釈酸化を行い、第1ポリシリコン膜17上に約400Åの第2ゲート酸化膜18を形成する。さらに、コントロールゲートを形成すべく通常のCVD法により第2ポリシリコン膜19を約4000Å成長させリンドープを行う。

次に、第1図(d)に示すように、通常のフォトリソグラフィー技術とドライエッチ技術およびウエットエッチ技術を駆使して、メモリセルゲート

ト電圧V_g=12.5Vを印加する従来のフローティングゲート型不揮発性半導体記憶装置とほぼ同等の性能であり、ゲート電圧10Vで十分な書き込みがなされていることがわかる。

第3図は本発明および従来のフローティングゲート型不揮発性半導体記憶装置のエネルギーバンド構造図(書き込み時)を示したものである。第3図において、31はP型半導体基板のエネルギーバンド、32は第1ゲート酸化膜のエネルギーバンド、33は第1オキシナイトライド膜のエネルギーバンド、34は第2オキシナイトライド膜のエネルギーバンド、35は第1ポリシリコン膜のエネルギーバンド、36は第2ゲート酸化膜のエネルギーバンド、37は第2ポリシリコン膜のエネルギーバンドである。

第3図(a)は従来の不揮発性半導体記憶装置のエネルギーバンドを示すものであり、従来のものは、P型半導体基板のエネルギーバンド31と第1ゲート酸化膜のエネルギーバンド32が直接接しており、界面でのポテンシャルギャップが大きいが、

として形成する。

さらに、第1図(e)に示すように、フォトレジスト20除去後、通常のセルフアライン技術を用い、N型ソース領域21およびN型ドレイン領域22を窒素イオン注入により形成する。以下、通常の配線および層間膜、保護膜形成法を用いて製品として完成する。

次に、上記のような製造工程を経て形成されたフローティングゲート型不揮発性半導体記憶装置の動作について説明する。第2図は本発明の一実施例におけるフローティングゲート型不揮発性半導体記憶装置の断面を示している。第2図において、11、14~22は第1図の対応する数字と同一である。今、フローティングゲート型不揮発性半導体記憶装置の各端子に、ゲート電圧(V_g)=10V、ドレイン電圧(V_d)=10V、ソース電圧(V_s)=0V、基板電圧(V_{sub})=0Vを1msの間印加すると、ホットエレクトロンのフローティングゲートへの注入によりしきい値電圧が約2Vから約8Vへ変化する。このしきい値電圧の変化量は、ゲー

ト電圧V_g=12.5Vを印加する従来のフローティングゲート型不揮発性半導体記憶装置とほぼ同等の性能であり、ゲート電圧10Vで十分な書き込みがなされていることがわかる。

なお、本実施例では急速熱酸化のためにNH₃ガスを用い、温度1000°Cとしたが、他にN₂ガス等窒素原子を供給するガスを用いても、温度、時間等を所定のオキシナイトライド領域がP型半導体基板と第1ゲート酸化膜の界面に形成されるような条件に設定すれば同様の効果が得られることは言うまでもない。また、コントロールゲート電極材料としてポリシリコン以外にアルミニウムや高融点金属等を用いても何らさしつかえない。

(発明の効果)

本発明は上記実施例から明らかなように、フロ

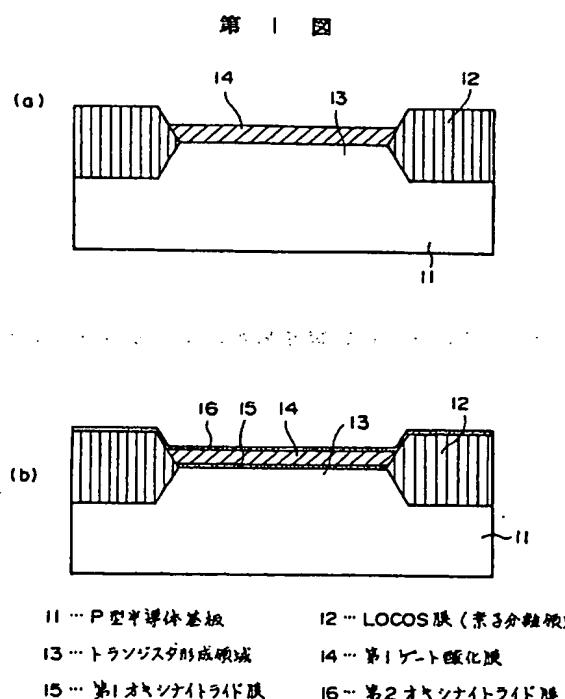
一タイミングゲート型不揮発性半導体記憶装置を形成する際に、半導体基板とフロータイミングゲートとの間のゲート酸化膜形成後、急速熱空化を行うことにより書き込み電圧を下げることができ、書き込み電圧が印加される回路において耐圧マージンを十分取ることが可能となり、従って製造時の歩留りを向上させることができる効果を有し、すぐれたフロータイミングゲート型不揮発性半導体記憶装置を実現できる。

4. 図面の簡単な説明

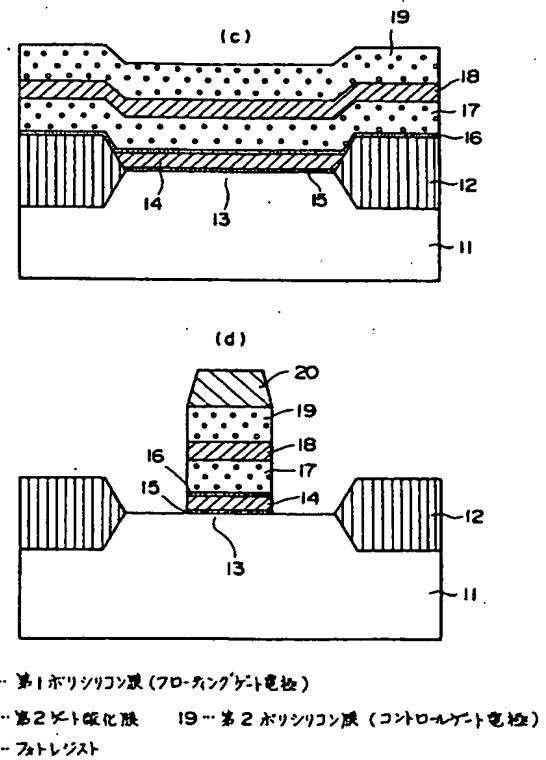
第1図は本発明の一実施例におけるフロータイミングゲート型不揮発性半導体記憶装置の製造工程ごとの断面図、第2図は本発明の一実施例におけるフロータイミングゲート型不揮発性半導体記憶装置の断面図、第3図は本実施例および従来例のフロータイミングゲート型不揮発性記憶装置の書き込み時におけるエネルギーバンド図、第4図は従来のフロータイミングゲート型不揮発性半導体記憶装置の断面図である。

11 … P型半導体基板、 12 … 素子分離

領域 (LOCOS膜)、 13 … トランジスタ形成領域、 14, 42 … 第1ゲート酸化膜、 15 … 第1オキシナイトライド膜、 16 … 第2オキシナイトライド膜、 17, 43 … 第1ポリシリコン膜 (フロータイミングゲート電極)、 18, 44 … 第2ゲート酸化膜、 19, 45 … 第2ポリシリコン膜 (コントロール電極)、 20 … フォトレジスト、 21, 46 … N型ソース領域、 22, 47 … N型ドレイン領域、 31 … P型半導体基板のエネルギーバンド、 32 … 第1ゲート酸化膜のエネルギーバンド、 33 … 第1オキシナイトライド膜のエネルギーバンド、 34 … 第2オキシナイトライド膜のエネルギーバンド、 35 … 第1ポリシリコン膜のエネルギーバンド、 36 … 第2ゲート酸化膜のエネルギーバンド、 37 … 第2ポリシリコン膜のエネルギーバンド。

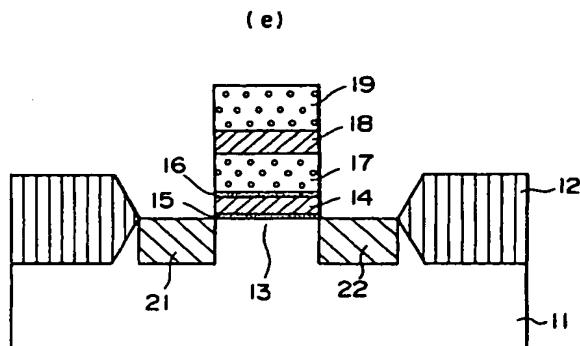


第1図



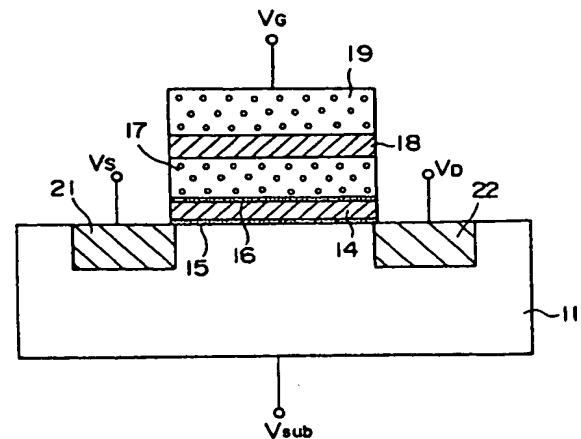
第 2 図

第 1 図

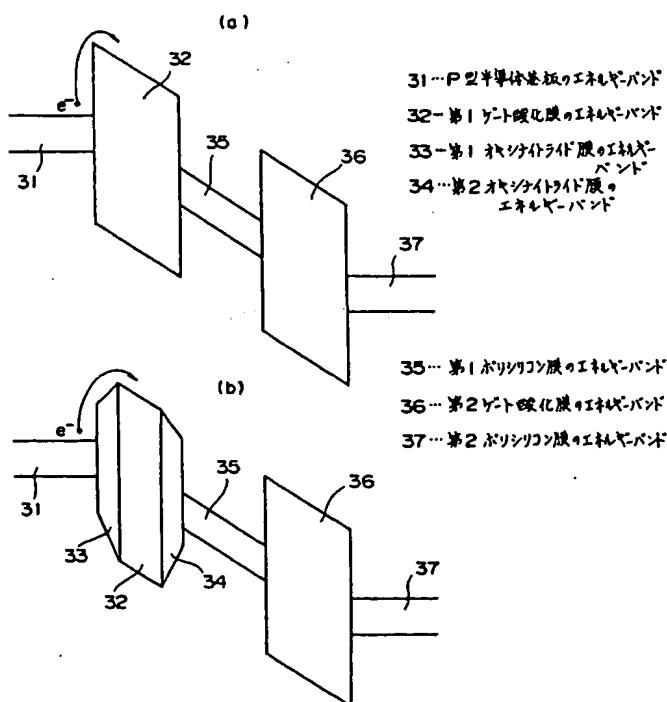


21 … N 型ソース領域

22 … N 型ドレイン領域

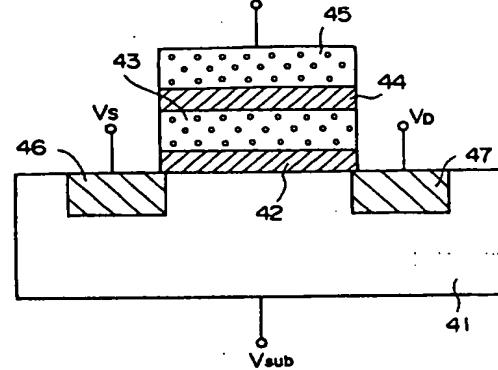
 V_G … ゲート電圧 V_D … ドレイン電圧 V_S … ソース電圧 V_{sub} … 基板電圧

第 3 図



31 … P 型半導体基板のエネルギーバンド
 32 … 第 1 ゲート酸化膜のエネルギーバンド
 33 … 第 1 オキシゲンライト膜のエネルギーバンド
 34 … 第 2 オキシゲンライト膜のエネルギーバンド

35 … 第 1 ポリシリコン膜のエネルギーバンド
 36 … 第 2 ゲート酸化膜のエネルギーバンド
 37 … 第 2 ポリシリコン膜のエネルギーバンド



41 … P 型半導体基板
 42 … 第 1 ゲート酸化膜
 43 … フローティングゲート電極 (第 1 ポリシリコン膜)
 44 … 第 2 ゲート酸化膜
 45 … コントロールゲート電極 (第 2 ポリシリコン膜)
 46 … N 型ソース領域
 47 … N 型ドレイン領域
 V_G … ゲート電圧
 V_D … ドレイン電圧
 V_S … ソース電圧
 V_{sub} … 基板電圧